



ΕΞΕΤΑΣΕΙΣ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ - 2011.07.04

Διάρκεια εξέτασης : 2 ώρες. - Τα θέματα να επιστραφούν.

ΚΑΛΗ ΕΠΙΤΥΧΙΑ

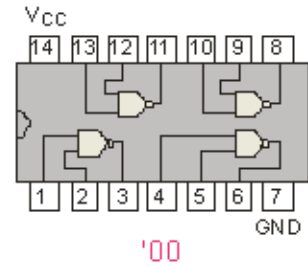
Επικ. Καθ. ΠΑΤΣΗΣ ΓΙΩΡΓΟΣ

ΘΕΜΑ 1. [2μ].

A) Να απλοποιηθεί η λογική συνάρτηση $F = \Sigma(0,1,2,3,5,7,10)$ και το αποτέλεσμα να εκφραστεί ως άθροισμα ελαχιστόρων.

B) Να σχεδιαστεί και να συνδεθεί το λογικό κύκλωμα της F με λογική NAND.

Γ) Να υποδείξετε τις συνδέσεις χρησιμοποιώντας την τοπολογία του 7400 που φαίνεται δίπλα.



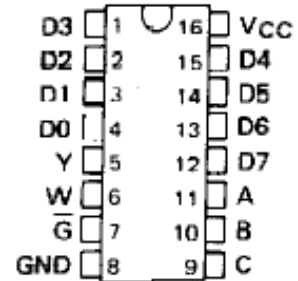
ΘΕΜΑ 2. [3μ].

Να γίνει σχεδίαση (πίνακας καταστάσεων και κύκλωμα) σύγχρονου μετρητή Μέτρου-8 με JK-FF.

ΘΕΜΑ 3. [2μ].

A) Υλοποιήστε με MUX 4x1 τη λογική συνάρτηση: $Z = \Sigma(0,1,3,8,9,10,15)$.

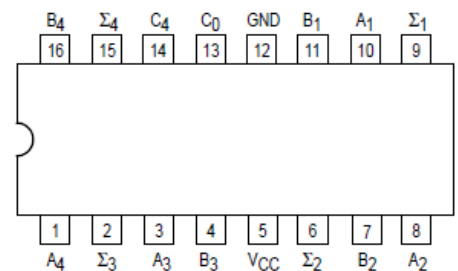
B) Δείξτε τις συνδέσεις στην τοπολογία του MUX 8x1 (74151) που φαίνεται δίπλα για την υλοποίηση της Z. Προσοχή: οι αξίες των select είναι με τη σειρά A(x1) B(x2) C(x4). Το G έχει ρόλο enable και πρέπει να είναι σε λογικό 0. Y είναι η έξοδος και W η συμπληρωματική της Y.



ΘΕΜΑ 4. [3μ].

A) Εξηγήστε στο συμπλήρωμα του προσημασμένου μέτρου και του συμπληρώματος ως προς 2 τις επόμενες πράξεις: $13+8$, $13+(-8)$, $8+(-13)$.

B) Να κάνετε τις κατάλληλες συνδεσμολογίες πυλών XOR και του 7483 που είναι πλήρης αθροιστής 4 bits για να πραγματοποιήσετε καθεμία από τις προσθέσεις του ερωτήματος A.



Δίπλα δίνεται η τοπολογία του 7483. Δέχεται δύο 4 bit αριθμούς (στις θέσεις A1-A4 και B1-B4 αντίστοιχα) και ένα κρατούμενο εισόδου C0. Η έξοδος του είναι οι θέσεις Σ1-Σ4 και η C4.